

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2003年 5月 8日

出願番号

Application Number: 特願2003-130757

[ST.10/C]:

[JP2003-130757]

出願人

Applicant(s): セイコーエプソン株式会社

2003年 6月18日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3047068

【書類名】 特許願

【整理番号】 EP-0452501

【提出日】 平成15年 5月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内

【氏名】 島田 浩行

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーホームズ株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

【先の出願に基づく優先権主張】

【出願番号】 特願2002-292277

【出願日】 平成14年10月 4日

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 半導体層の上方に絶縁層を形成する工程と、

前記絶縁層の上方に、タンタル層および窒化タンタル層の少なくともいずれかを含む導電層を形成する工程と、

SiCl_4 と NF_3 を含むガスを用いて前記導電層をエッティングする工程と

、
を含む、半導体装置の製造方法。

【請求項2】 半導体層の上方に絶縁層を形成する工程と、

前記絶縁層の上方に、タンタル層および窒化タンタル層の少なくともいずれかを含む導電層を形成する工程と、

NF_3 とフルオロカーボンとを含むガスを用いて前記導電層をエッティングする工程と、

SiCl_4 と NF_3 を含むガスを用いて前記導電層をエッティングする工程と

、
をこの順序で含む、半導体装置の製造方法。

【請求項3】 請求項1、2のいずれかにおいて、

前記 SiCl_4 と前記 NF_3 との合計に対する前記 NF_3 の流量比は、1～30%である、半導体装置の製造方法。

【請求項4】 請求項1、2のいずれかにおいて、

前記絶縁層は、酸化シリコン、窒化シリコンおよび酸窒化シリコンの少なくともいずれかを含む、半導体装置の製造方法。

【請求項5】 半導体層の上方にゲート絶縁層となる絶縁層を形成する工程と、

前記絶縁層の上方に、第1の窒化タンタル層と体心立方格子相のタンタル層と第2の窒化タンタル層とをこの順序で形成する工程と、

SiCl_4 と NF_3 を含むガスを用いて、前記第1の窒化タンタル層と前記体心立方格子相のタンタル層と前記第2の窒化タンタル層とをエッティングするこ

とにより、ゲート電極を形成する工程と、

前記半導体層に不純物を導入して、ソース領域またはドレイン領域を構成する第1および第2の不純物層を形成する工程と、
を含む、半導体装置の製造方法。

【請求項6】 請求項5において、

前記SiC₁₄と前記NF₃との合計に対する前記NF₃の流量比は、1～30%である、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法におけるタンタルおよび窒化タンタルの少なくともいずれかを含む導電層のエッチング方法に関する。特に、半導体装置の製造方法におけるタンタルおよび窒化タンタルの少なくともいずれかを含む金属ゲート電極のエッチング方法に関する。

【0002】

【背景技術】

現在の半導体集積回路に用いられる絶縁ゲート電界効果トランジスタ(MISFET)では、そのゲート電極として、低抵抗化のために不純物を高濃度でドープした多結晶シリコン層が用いられることが多い。しかしながら、ゲート電極を構成する多結晶シリコン層は不純物を高濃度でドープしているにもかかわらず、チャネル反転時にゲート絶縁層側の部分が空乏化を起こしてしまうことが知られている。このような空乏化が発生してしまうと、ゲート電極と直列に容量が挿入されていることと等価になり、チャネルにかかる実効的な電界が低下してしまう。その結果、MISFETの電流駆動能力が低下する。この問題点を解決するために、低抵抗でゲート空乏化を起こさないゲート電極材料として金属を用いることが検討されている。

【0003】

特開平11-168212号公報には、金属ゲート電極としてタンタルを用いた技術が開示されている。この文献では、タンタル膜をSiC₁₄プラズマで異

方性エッティングすることによりゲート電極を形成することが記載されている（段落0015）。しかしながら、本願発明者によれば、タンタル膜をSiC₁₄のみで異方性エッティングした場合、タンタルが均一にエッティングされずに部分的に基板上に残り、これを完全にエッティングするのに時間がかかることが確認されている。

【0004】

また、特開2002-83805号公報には、高融点金属またはこれらの金属を含む合金などからなるゲート電極を、塩素系ガスとフッ素系ガスとを用いてエッティングすることが開示されている。この技術では、上記エッティングによって、ゲート電極の側壁はテーパー化される。テーパー化されたゲート電極の断面形状は、下部が上部に対して幅が大きくなる。また、この技術では、テーパー化されたゲート電極をマスクに用いて自己整合的に不純物がドーピングされる（段落0028等）。さらに、この技術では、ドライエッティングのためのガスとして、C₁₂とCF₄との組合せ（段落0065の表1等）、あるいはC₁₂とSF₄との組合せ（段落0103の表2等）が使用されている。しかしながら、この技術においては、ゲート電極をテーパー形状に加工することを目的としており、したがってゲート電極の側壁を垂直あるいはそれに近い角度で加工することができない。

【0005】

さらに、特開平5-102090号公報には、被覆性組成成分と化学エッティング組成成分とを含むエッティング物質を用いて、アルミニウムなどの金属層をエッティングすることが開示されている。この技術では、上記エッティングによって、金属層の側壁は垂直またはテーパー状に加工される。テーパー化されたゲート電極の断面形状は、下部が上部に対して幅が大きくなる（図3、図4等）。しかしながら、この技術においては、金属層をテーパー形状に加工することを許容しており、どのような条件ならば金属層の側壁が垂直になるのかについて、具体的な記載が無い。さらに、タンタルおよび窒化タンタルの少なくともいずれかを含む導電層の側壁を垂直に加工する点については全く記載が無い。

【0006】

【特許文献1】

特開平11-168212号公報

【特許文献2】

特開2002-83805号公報

【特許文献3】

特開平5-102090号公報

【0007】

【発明が解決しようとする課題】

本発明の目的は、絶縁層上に形成されたタンタルおよび窒化タンタルの少なくともいずれかを含む導電層を垂直あるいはほぼ垂直に異方性エッチングする半導体装置の製造方法を提供することにある。

【0008】

【課題を解決するための手段】

本発明に係る半導体装置の製造方法は、

半導体層の上方に絶縁層を形成する工程と、

前記絶縁層の上方に、タンタル層および窒化タンタル層の少なくともいずれかを含む導電層を形成する工程と、

SiCl_4 と NF_3 とを含むガスを用いて前記導電層をエッチングする工程と

を含む。

【0009】

本発明によれば、タンタル層および窒化タンタル層の少なくともいずれかを含む導電層をエッチングする際に、 SiCl_4 と NF_3 とを含むガスを用いることにより、導電層のエッチングを垂直あるいはほぼ垂直に行うことができる。本願発明者によって、 NF_3 は、結晶面依存性、すなわち、金属の結晶面によってエッチングレートが異なる性質が塩素を含む物質に比べて少なく、どの結晶面でもほぼ均一のレートでエッチングできることが見いだされた。一方、 SiCl_4 は、結晶面依存性が比較的高いことは好ましくないものの、絶縁層を構成する絶縁物質と金属、または窒化金属との選択比が高いという優位性がある。したがって

、 SiCl_4 と NF_3 とを混合させることにより、絶縁層に対して高い選択比を確保しながら、タンタル層および窒化タンタル層の少なくともいずれかを含む導電層を速やかにかつ良好な形状でエッティングすることができる。ここで、「良好な形状」とは、パターニングされた導電層の側壁がテーパー形状を有さず、垂直あるいはほぼ垂直であることを意味する。ほぼ垂直とは、エッティングされた導電層の側壁と該導電層の下方に設けられた絶縁層の表面とのなす角度が $85^\circ \sim 90^\circ$ 、好ましくは $89^\circ \sim 90^\circ$ であることを意味する。このように良好な形状で導電層のエッティングができる特徴は、他の本発明においても同様である。

【0010】

また、本発明に係る半導体装置の製造方法は、
 半導体層の上方に絶縁層を形成する工程と、
 前記絶縁層の上方に、タンタル層および窒化タンタル層の少なくともいずれかを含む導電層を形成する工程と、
 NF_3 とフルオロカーボンとを含むガスを用いて前記導電層をエッティングする工程と、
 SiCl_4 と NF_3 とを含むガスを用いて前記導電層をエッティングする工程と
 をこの順序で含む。

【0011】

本発明によれば、絶縁層に対して高い選択比を確保しながら、タンタルおよび窒化タンタルの少なくともいずれかを含む導電層を速やかにかつ良好な形状でエッティングできることに加え、エッティングにかかる時間を短縮できる。これは、導電層のエッティングを2段階に分け、1段階目で導電層に対するエッティングレートが他のガスに比べて大きいフルオロカーボンを用いているからである。

【0012】

また、本発明に係る半導体装置の製造方法は、
 半導体層の上方にゲート絶縁層となる絶縁層を形成する工程と、
 前記絶縁層の上方に、第1の窒化タンタル層と体心立方格子相のタンタル層と第2の窒化タンタル層とをこの順序で形成する工程と、

SiCl_4 と NF_3 とを含むガスを用いて、前記第1の窒化タンタル層と前記体心立方格子相のタンタル層と前記第2の窒化タンタル層とをエッチングすることにより、ゲート電極を形成する工程と、

前記半導体層に不純物を導入して、ソース領域またはドレイン領域を構成する第1および第2の不純物層を形成する工程と、
を含む。

【0013】

本発明によれば、ゲート絶縁層に接して窒化タンタル層が形成される。窒化タンタルは、その仕事関数が約 4.5 eV で、シリコンの真性ミッドギャップエネルギー 4.61 eV と極めて近似している。その結果、金属-絶縁層-シリコンからなるMOSキャパシタにおける、フラットバンド電圧の絶対値の増加が小さく、かつ、Nチャネル絶縁ゲート電界効果トランジスタとPチャネル絶縁ゲート電界効果トランジスタとで前記絶対値の差をかなり小さくできる。したがって、完全空乏型SOI構造を有しているNチャネル絶縁ゲート電界効果トランジスタとPチャネル絶縁ゲート電界効果トランジスタとを混載する相補型半導体装置において、両者のしきい値バランスを正確かつ容易にコントロールできる。

【0014】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して説明する。

【0015】

図1は、本発明の実施の形態に係る製造方法によって得られる半導体装置100を模式的に示す断面図である。半導体装置1000は、CMOS型の半導体装置であって、Nチャネル絶縁ゲート電界効果トランジスタ(NMOSFET)100Aと、Pチャネル絶縁ゲート電界効果トランジスタ(PMOSFET)100Bとを含む。NMOSFET100AおよびPMOSFET100Bは、SOI(Silicon On Insulator)基板1に形成されている。SOI基板1は、支持基板1c上に、絶縁層(酸化シリコン層)1bおよび半導体層1aが積層されて構成されている。本実施の形態においては、半導体層1aはシリコン層である。なお、半導体層はバルクの半導体基板であってもよい。

【0016】

そして、NMOSFET100AおよびPMOSFET100Bは、それぞれSOI基板1のシリコン層1aに形成された素子分離領域20によって電気的に分離されている。

【0017】

各MOSFET100Aおよび100Bは、シリコン層1a上に、ゲート絶縁層2を介して、積層型のゲート電極3が形成された構造を有する。この積層型のゲート電極3は、窒化タンタル層4、体心立方格子相のタンタル層5、およびキヤップ層としての窒化タンタル層6が順次積層されて構成されている。なお、本実施の形態においては、体心立方格子相のタンタルを α タンタルまたはbcc-Ta (body centered cubic-Ta) と記載することもある。また、ゲート絶縁層2の直下にはチャネル領域7、チャネル領域7の両端にはソース領域またはドレイン領域を構成する不純物層8a, 8bが設けられている。

【0018】

そして、NMOSFET100Aにおいては、不純物層8a, 8bはN型に、PMOSFET100Bでは、不純物層8a, 8bはP型に形成されている。不純物層8a, 8bの上部には、シリサイド層10a, 10bがそれぞれ形成されている。

【0019】

次に、本実施の形態に係る半導体装置1000の製造方法について、図2～図6を参照して説明する。

【0020】

(a) 支持基板1c上に、絶縁層(酸化シリコン層)1bおよび低濃度のP型シリコン層1aが積層されたSOI基板1を準備する。P型シリコン層1aは、たとえば、厚さ50nm、比抵抗14～26Ω·cmで、(100)の面方位を有する。まず、図2に示すように、P型シリコン層1aに素子分離領域20を形成する。素子分離領域20は、STI(Shallow Trench Isolation)法などにより形成される。

【0021】

(b) ついで、図3に示すように、熱酸化法、CVD法などにより、ゲート絶縁層となる絶縁層2aを形成する。絶縁層2aの膜厚は3nm程度である。絶縁層2aとしては、酸化シリコン、窒化シリコンおよび酸窒化シリコンいずれかの単層、あるいはこれらを積層したものを用いることができる。

【0022】

ついで、キセノンガスを用いたスパッタリング法にて、窒化タンタル層4a、体心立方格子相のタンタル層5a、およびキャップ層6aを順次、成膜する。

【0023】

窒化タンタル層4aは、導電性およびしきい値特性などの点を考慮すると、 TaN_x で表される、窒素とタンタルの組成比(x)が0.25~1.0であることが望ましい。

【0024】

また、キャップ層6aは、 TaN_x 、 $TaSi_xN_y$ 、 TiN_x 、 $TiAl_xN_y$ 、Si、および遷移金属のシリサイドなどから選択される少なくとも1種からなる材質によって形成することができる。その中でも、洗浄薬品(酸、アルカリ)に非常に強い窒化タンタル(TaN_x)が好ましい。本実施の形態においては、キャップ層6aとして、窒化タンタル層を用いている。窒化タンタル層6aは、ゲート電極のエッチング後のプロセスでタンタル層5aの酸化を防ぐキャップ層としての機能を有する。

【0025】

スパッタリングにおいては、通常用いられるアルゴンの代わりに、より質量の大きいキセノンを用いることにより、下地のゲート絶縁層2aならびにシリコン層1aに欠陥あるいはダメージを与えることなく、成膜中の層の表面にのみエネルギーを与えることが可能となる。すなわち、アルゴンの原子半径は0.188nmであるのに対し、キセノンの原子半径は0.217nmと大きく、層の中に進入しにくく、層の表面にのみ効率よくエネルギーを与えることができる。そして、アルゴンの原子量は39.95であり、キセノンの原子量は131.3であり、キセノンはアルゴンに比べて原子量が大きい。そのため、キセノンは、アルゴンに比べて、層へのエネルギーおよび運動量の伝達効率が低く、欠陥やダメー

ジを作りにくいといえる。したがって、キセノンはアルゴンに比べ、ゲート絶縁層2aに欠陥やダメージを与えないで、窒化タンタル層4a、6aおよびタンタル層5aを形成することができる。この傾向は、クリプトンについてもいえる。

【0026】

本実施の形態においては、上述した成膜方法を採用することで、低抵抗な体心立方格子相のタンタル層5aが、窒化タンタル層4a上に格子整合によってヘテロエピタキシー成長で形成できることが確認された。体心立方格子相のタンタルは、 β タンタルに比べて抵抗が低く、電極材料に適している。具体的には、体心立方格子相のタンタルは、 β タンタルに比べて1/10程度まで抵抗を小さくできる。

【0027】

さらに、これらの窒化タンタル層4a、体心立方格子相のタンタル層5aおよび窒化タンタル層6aは、大気にさらされることなく、連続的に形成されが好ましい。成膜の途中で、膜を大気にさらすと、水分の付着や膜表面への酸化物形成が発生し、好ましくない。

【0028】

(c) ついで、図4に示すように、リソグラフィー技術およびドライエッチング技術により、窒化タンタル層4a、タンタル層5aおよび窒化タンタル層6aをパターニングすることによりゲート電極3を形成する。すなわち、ゲート電極3は、下地の窒化タンタル層4、体心立方格子相のタンタル層5およびキャップの窒化タンタル層6の積層構造を有する。この例では、絶縁層2aもパターニングすることによりゲート絶縁層2を形成している。

【0029】

本実施の形態では、このパターニングにおけるドライエッチングで特定のエッチングガスを用いる点に特徴を有する。この工程では、リソグラフィーによって所定パターンのレジスト層（図示せず）を形成した後、2段階のエッチングを連続して行う。

【0030】

まず、1段階目のエッチングとして、 NF_3 とフルオロカーボン（ CF_4 また

は C_2F_6 ）とを含むガスを用いて反応性イオンエッティングを行う。エッティング条件の一例として、 NF_3 と CF_4 との流量（sccm）の比（ CF_4/NF_3 ）が70/30、圧力4mTorr、基板温度50℃、RFバイアス191mW/cm²を採用できる。このときのタンタルのエッティングレートは、100nm/分程度である。この1段階目のエッティングで、窒化タンタル層6aと、タンタル層5aの大部分（厚さの70~80%程度）とをエッティングする。このようにタンタルに対するエッティングレートが他のガスに比べて大きいフルオロカーボンと、結晶面依存性が小さい NF_3 とを用いてタンタル層5aをエッティングすることで、エッティングにかかる時間を短縮できる。

【0031】

ついで、2段階目のエッティングとして、 $SiCl_4$ と NF_3 とを含むガスを用いて反応性イオンエッティングを行う。この2段階目のエッティングでは、 $SiCl_4$ と NF_3 との合計に対する NF_3 の流量（sccm）の比（ $NF_3/(SiCl_4 + NF_3)$ ）は、好ましくは1~30%、より好ましくは5~25%である。両者の割合がこの範囲であると、絶縁層2aに対する選択比を充分に大きくとりながら、より短時間で、導電層の側壁を垂直あるいはほぼ垂直に加工することができる。

【0032】

エッティング条件の一例として、 $SiCl_4$ と NF_3 との混合ガスに対する NF_3 の流量比が15%、圧力9mTorr、基板温度50℃、RFバイアス127mW/cm²を採用できる。このときのタンタルのエッティングレートは、40nm/分程度である。

【0033】

2段階目のエッティングでは、タンタル層5aおよび窒化タンタル層4aを垂直あるいはほぼ垂直にエッティングできる。これは、以下のような理由によると推測される。 NF_3 および/または $SiCl_4$ に由来する反応生成物が導電層の側壁に堆積される。導電層の側壁に堆積された反応生成物は、導電層の側壁保護膜として機能し、導電層の側壁を垂直あるいはほぼ垂直にエッティングすることができる。また、 NF_3 は、タンタルに対する結晶面依存性が少なく、どの結晶面でも

ほぼ均一のレートでエッティングできる。さらに、SiCl₄とNF₃とが共存することにより、Si, Nなどを含む化合物が絶縁層2a上に堆積することにより、絶縁層2aに対するタンタル層5aおよび窒化タンタル層4aの選択比を高くできる。

【0034】

一方、上記のような条件で導電層の異方性エッティングを行わなかった場合、ゲート電極は垂直あるいはほぼ垂直に加工できない。換言すれば、ゲート電極の側壁はテーパー化される。このことは、エッティング用のマスク形状が、被エッティング物質に正確にコピーされないことを意味する。それ故、所望のゲート長にゲート電極を加工することができない。

【0035】

さらに、テーパー化されたゲート電極をマスクにセルフアラインで不純物をイオン注入すると、所望の不純物濃度プロファイルを得られない。従って、半導体層内にソース・ドレイン領域を形成する次工程において、多大な悪影響を及ぼすことになる。

【0036】

次いで、エッティングガスを変更し絶縁層2aをパターニングすることにより、ゲート絶縁層2を形成する。

【0037】

(d) ついで、図5に示すように、ゲート電極3をマスクとして、NMOSFETには砒素イオンまたはリンイオンを、PMOSFETにはホウ素イオンまたは二フッ化ホウ素イオンを、 10^{20} cm^{-3} 以上の濃度になるようにイオン注入する。NMOSFETおよびPMOSFETの不純物層を形成する際には、逆極性の不純物イオンがドープされないように、レジスト層などのマスク層（図示せず）が所定領域に形成される。この後、700°C以下、好ましくは450~550°Cの低温アニールを施すことにより、セルフアラインで不純物層8a, 8bを形成することができる。

【0038】

次に、CVD (Chemical Vapor Deposition) 法にて、酸化シリコン層を、ゲ

ート電極3が形成されたS O I基板1上に全面的に堆積した後、ドライエッチング法によりエッチバックを行い、サイドウォールスペーサ9を形成する。

【0039】

更に、遷移金属層、例えばN i層をスパッタ法にて成膜し、アニールを経て不純物層8a, 8bの露出部にニッケルシリサイド層10a, 10bを形成する。このような遷移金属としては、チタンやコバルト等、シリサイドを作れるものであればよい。その後、硫酸等の酸によりサイドウォール9上の未反応の遷移金属層を除去し、セルフアラインでシリサイド層10a, 10bを形成する。

【0040】

(e) この後は、図6に示すように、通常のCMOSプロセス技術による配線工程を経ることにより、層間絶縁層12および配線層13を形成し、半導体装置1000を完成することができる。

【0041】

この半導体装置の製造方法によれば、以下の特徴を有する。

【0042】

タンタル層をエッティングする際に、SiCl₄とNF₃とを含むガスを用いることにより、絶縁層に対して高い選択比を確保しながら、タンタル層を速やかにかつ良好な形状でエッティングすることができる。また、SiCl₄とNF₃とを含むガスを用いたエッティングの前に、NF₃とフルオロカーボン(CF₄またはC₂F₆)とを含むガスを用いてエッティングを行うことにより、全体のエッティング時間を短縮できる。

【0043】

また、ゲート絶縁層2に接して窒化タンタル層4を有すると、以下の利点がある。窒化タンタルは、その仕事関数が約4.5eVで、シリコンの真性ミッドギャップエネルギー4.61eVと極めて近似している。その結果、MOSキャパシタにおける、フラットバンド電圧の絶対値の増加が小さく、しきい値の制御のためにチャネル領域にドープされる不純物の濃度を高くする必要がない。したがって、キャリア移動度の低下を防止でき、高い電流駆動能力を備えたMOSFETを高い歩留まりで得ることができる。

【0044】

【実施例】

さらに、本発明の特徴を明らかにするために行った実施例について述べる。

【0045】

(1) 絶縁物と体心立方格子相のタンタルとの選択比の関係

図7は、実験によって得られた、2段階目のエッチングで用いられる混合ガス($NF_3 + SiCl_4$)に対する NF_3 の流量比と、絶縁物(酸化シリコンまたは窒化シリコン)と体心立方格子相のタンタル(以下、「bcc-タンタル」という)との選択比との関係を示す図である。図7において、符号aで示すグラフは、酸化シリコンに対するタンタルの選択比(任意の単位)を示し、符号bで示すグラフは、窒化シリコンに対するタンタルの選択比(任意の単位)を示す。

【0046】

反応性イオンエッチングの条件は、圧力9mTorr、基板温度50°C、RFバイアス55mW/cm²であった。また、サンプルは、シリコン基板上に3nmの厚さを有する酸化シリコン層または窒化シリコン層を形成し、さらに、スパッタによって30nmの厚さを有する窒化タンタル層と100nmの厚さを有する体心立方格子相のタンタル層を形成して得た。酸化シリコン層は、1000°Cの熱酸化で形成した。また、窒化シリコン層は、アンモニアとアルゴンガスとの雰囲気における高密度プラズマCVDによって形成した。

【0047】

図7から、混合ガス($NF_3 + SiCl_4$)に対する NF_3 の流量比が1~30%、より好ましくは5~25%のときに、充分に高い選択比が得られることがわかる。また、エッチングされた層の側壁はほぼ垂直であった。

【0048】

(2) 絶縁層とbcc-タンタルとの選択比の関係

図8は、図7に示す実施例と異なるRFバイアスのエッチング条件で同様の実験を行った結果を示す。すなわち、図8は、エッチングで用いられる混合ガス($NF_3 + SiCl_4$)に対する NF_3 の流量比と、絶縁物(酸化シリコンまたは窒化シリコン)とbcc-タンタルとの選択比との関係を示す図である。図8に

において、符号 a で示すグラフは、酸化シリコンに対するタンタルの選択比を示し、符号 b で示すグラフは、窒化シリコンに対するタンタルの選択比を示す。

【0049】

反応性イオンエッティングの条件は、圧力 9 mTorr、基板温度 50°C、RF バイアス 127 mW/cm² である。また、サンプルは、シリコン基板上に約 3 nm の厚さを有する酸化シリコン層または窒化シリコン層を形成し、さらに、スパッタによって 100 nm の厚さを有する bcc-タンタル層を形成して得た。酸化シリコン層は、750°C の熱酸化で形成した。また、窒化シリコン層は、アンモニアとアルゴンガスとの雰囲気における高密度プラズマCVD によって形成した。

【0050】

図8から、混合ガス (NF₃ + SiCl₄) に対する NF₃ の流量比が 1~30%、より好ましくは 5~25% のときに、充分に高い選択比が得られることがわかる。特に、好ましい選択比、例えば図8に示す例で 50 以上を考慮すると、酸化シリコン層の場合には、5~25% がより好ましい。また、窒化シリコン層の場合には、好ましい選択比、例えば図8に示す例で 50 以上を考慮すると、1~30% が好ましく、さらに好ましい選択比、例えば図8に示す例で 100 以上を考慮すると、5~25% が好ましい。

【0051】

(3) 絶縁物と窒化タンタルとの選択比の関係

図9は、エッティングで用いられる混合ガス (NF₃ + SiCl₄) に対する NF₃ の流量比と、絶縁物（酸化シリコンまたは窒化シリコン）と窒化タンタルとの選択比との関係を示す。図9において、符号 a で示すグラフは、酸化シリコンに対する窒化タンタルの選択比を示し、符号 b で示すグラフは、窒化シリコンに対する窒化タンタルの選択比を示す。

【0052】

反応性イオンエッティングの条件は、圧力 9 mTorr、基板温度 50°C、RF バイアス 127 mW/cm² である。また、サンプルは、シリコン基板上に 3 nm の厚さを有する酸化シリコン層または窒化シリコン層を形成し、さらに、スパ

ッタによって100nmの厚さを有する窒化タンタル層を形成して得た。酸化シリコン層は、750°Cの熱酸化で形成した。また、窒化シリコン層は、アンモニアとアルゴンガスとの雰囲気における高密度プラズマCVDによって形成した。

【0053】

図9から、混合ガス ($NF_3 + SiCl_4$) に対する NF_3 の流量比が 1~30%、より好ましくは 5~25% のときに、充分に高い選択比が得られることがわかる。特に、好ましい選択比、例えば図9に示す例で 20 以上を考慮すると、酸化シリコン層の場合には、5~25% がより好ましい。また、窒化シリコン層の場合には、好ましい選択比、例えば図9に示す例で 20 以上を考慮すると、1~30% が好ましく、さらに好ましい選択比、例えば図9に示す例で 50 以上を考慮すると、5~25% が好ましい。

【0054】

(4) SEMによる形状の観察

以下の方法によって形成されたサンプルを用いて、 $SiCl_4$ と NF_3 との混合ガスによって反応性イオンエッチングを行った。エッチング条件としては、 $SiCl_4$ と NF_3 との混合ガスに対する NF_3 の流量比が 10%、圧力 9 mTorr、基板温度 50°C、RFバイアス 127 mW/cm² を採用した。このときのタンタルのエッチングレートは、40 nm/分程度である。その結果得られたサンプルの走査型電子顕微鏡 (SEM) によって得られた写真を図10に示した。

【0055】

図10から、本実施例によれば、窒化タンタル層-bcc-タンタル層-窒化タンタル層の積層体がほぼ垂直 (89°) の側壁を有するようにエッチングされていることが確認された。なお、図10に示す例では、積層体のライン/スペースは 3.5 μm であった。

【0056】

本実施例のサンプルは、以下の方法によって得られた。シリコン基板上に熱酸化法により、ゲート絶縁層となる酸化シリコン層を形成する。酸化シリコン層の膜厚は 3 nm 程度である。ついで、キセノンガスを用いたスパッタリング法にて

、窒化タンタル層（膜厚30nm）、bcc-タンタル層（膜厚100nm）、およびキャップ層としての窒化タンタル層（膜厚30nm）を順次、成膜した。このようにして得られた積層体上に所定パターンのレジスト層を形成し、上述の反応性イオンエッティングに供した。

【0057】

(5) エッティングと堆積物の関係

図11は、SiCl₄とNF₃との混合ガスを用いたエッティングにおける、堆積層とオーバーエッティング時間との関係を示す図である。図11において、横軸はオーバーエッティング時間を示し、縦軸は堆積物層の厚さを示す。この実施例では、以下のようにして堆積層がRFバイアスに依存することを確認した。まず、サンプルのbcc-タンタル層をエッティングし、さらにオーバーエッティングを行い、新たに形成された堆積層の膜厚を測定した。

【0058】

サンプルとしては、シリコン基板上に窒化シリコン層（膜厚3nm）を形成し、さらにこの窒化シリコン層上に窒化タンタル層（膜厚30nm）、bcc-タンタル層（膜厚100nm）を順次形成したものを用いた。bcc-タンタル層、および窒化タンタル層の反応性イオンエッティングの条件は、圧力9mTorr、基板温度50°C、RFバイアス64mW/cm²であった。また、SiCl₄とNF₃との混合ガスに対するNF₃の流量比は15%であった。

【0059】

図11から、本実施例のエッティング条件でボトム窒化タンタル層のエッティングが終了すると同時に堆積層の形成（換言すれば反応生成物の堆積）が開始されることが確認された。そして、堆積層はオーバーエッティング時間とともに厚くなることがわかった。この堆積層は、少なくともSiCl₄に由来して形成されたものであると考えられる。本実施例では、上記実施例（2）～（4）に比べてRFバイアスが小さく、エッティングの異方性がこれらの実施例より弱くなるため、堆積物が形成されやすい。このことから、反応性イオンエッティングにおいては、RFバイアスはエッティング速度と堆積物の形成速度とを考慮して設定されることが望ましいといえる。

【0060】

(6) トランジスタのVg - Id特性

図12 (A), (B) は、本実施例に係るトランジスタのVg - Id特性を示す。図12 (A) は、nチャネルMOSFETのVg - Id特性を示し、図12 (B) は、pチャネルMNSFETのVg - Id特性を示す。両者のトランジスタは、いずれも窒化タンタル層（膜厚30nm）、bcc-タンタル層（膜厚100nm）、およびキャップ層としての窒化タンタル層（膜厚30nm）の積層構造を有する。また、nチャネルMOSFETでは、ゲート絶縁膜として熱酸化によって形成された酸化シリコン層（膜厚2.9nm）を有している。pチャネルMNSFETでは、ゲート絶縁膜としてアンモニア-アルゴン雰囲気での高密度プラズマCVDで形成された窒化シリコン層（膜厚3.55nm）を有している。この窒化シリコン層の等価酸化膜厚（EOT）は、1.75nmである。

【0061】

図12 (A), (B) から、pチャネルMNSFETおよびnチャネルMOSFETのいずれの場合も、良好なVg - Id特性を有することが確認された。

【0062】

(7) トランジスタのオフ電流特性

図13は、上記(6) Vg - Id特性の測定に用いたと同一のpチャネルMNSFETにおけるオフ電流特性を示す図である。図13において、横軸はオフ電流を示し、縦軸はワイブル累積数（[1n (-1n (1-F))]で得られるweibullプロット）を示す。本実施例では、6インチウェハにおける60ポイントのMNSFETについてそれぞれオフ電流を求めた。

【0063】

図13から、本実施例のMNSFETは、オフ電流のばらつきが極めて少なく、ゲート電極が高選択で均一にエッチングされていることが確認された。

【0064】

さらに、本願発明者は比較のために以下の実験を行った。

【0065】

まず、導電層（タンタル）のエッチングにおいて、NF₃に替えてSF₆を使

用した。その結果、 SF_6 は NF_3 に比べ等方性エッティングの性質が強いことがわかった。その結果、図14に示すように、エッティングされた導電層（タンタル層）50はテーパー形状を有し、この場合テーパー角度は約60°であることを確認した。それ故、導電層の側壁を垂直にエッティングする工程においては、 NF_3 を使用した方が好ましい。また、エッティングガスとして、 $SiCl_4$ に替えて Cl_2 を使用した。その結果、導電層の側壁に堆積物が充分に得られず、導電層と酸化シリコン層とに対して実用的な選択比を得ることができないことを確認した。

【0066】

以上、本発明に好適な実施の形態について述べたが、本発明は、その要旨の範囲内で各種の態様をとりうる。

【0067】

たとえば、ゲート電極は、窒化タンタル層とタンタル層との積層構造に限定されない。ゲート電極は、タンタル、タンゲステン、モリブデン、クロム、ニオブ、バナジウム、チタン、ジルコニウム、ハフニウムの金属の単層、これらの金属の窒化物層の単層、あるいは該金属層と該金属の窒化物層との積層構造を有することができる。

【0068】

さらに、エッティングされる導電層はゲート電極に用いられることが好ましいが、他の配線層であっても構わない。

【図面の簡単な説明】

【図1】 本実施の形態に係る製造方法により得られる半導体装置を示す断面図。

【図2】 本実施の形態に係る半導体装置の製造方法を示す断面図。

【図3】 本実施の形態に係る半導体装置の製造方法を示す断面図。

【図4】 本実施の形態に係る半導体装置の製造方法を示す断面図。

【図5】 本実施の形態に係る半導体装置の製造方法を示す断面図。

【図6】 本実施の形態に係る半導体装置の製造方法を示す断面図。

【図7】 エッティングガスの組成と選択比との関係を示す図。

【図8】 エッティングガスの組成と選択比との関係を示す図。

【図9】 エッティングガスの組成と選択比との関係を示す図。

【図10】 エッティングされた層のSEM写真を示す図。

【図11】 オーバーエッティング時間と堆積層の厚さの関係を示す図。

【図12】 (A), (B) は、トランジスタの $I_d - V_g$ 特性を示す図。

【図13】 トランジスタのオフ電流と累積数との関係を示す図。

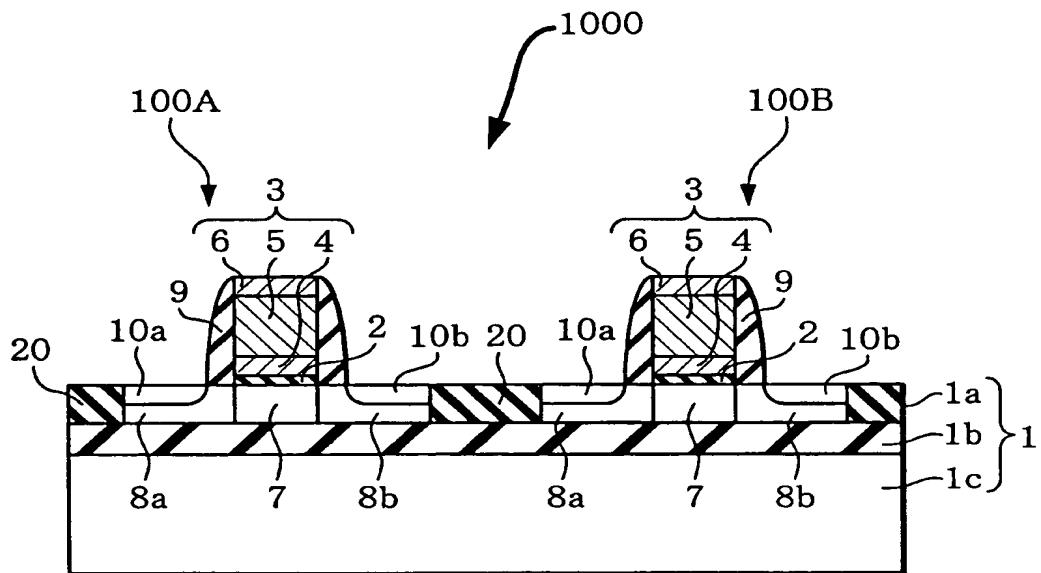
【図14】 比較例に係る、エッティングされた導電層を示す図。

【符号の説明】

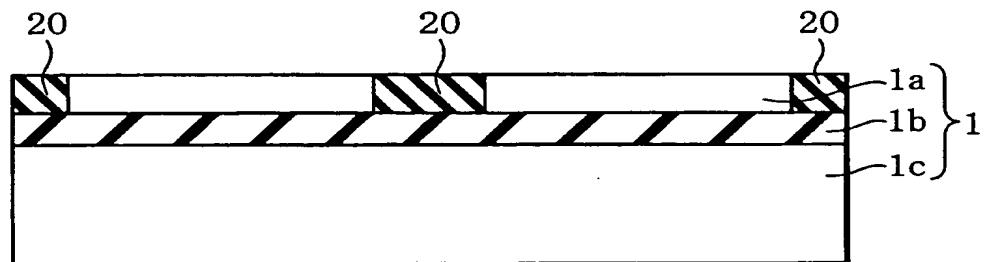
1 SOI基板、1a 半導体層、1b 絶縁層（酸化シリコン層）、1c 支持基板、2 ゲート絶縁層、3 積層型のゲート電極、4 窒化タンタル層、5 体心立方格子相のタンタル層、6 窒化タンタル層、20 素子分離領域

【書類名】 図面

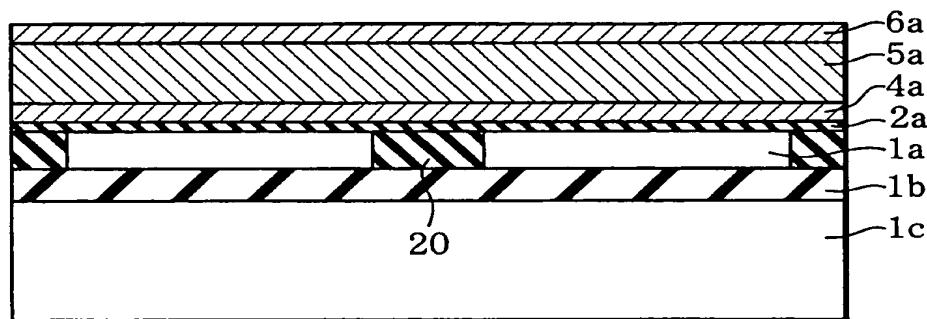
【図1】



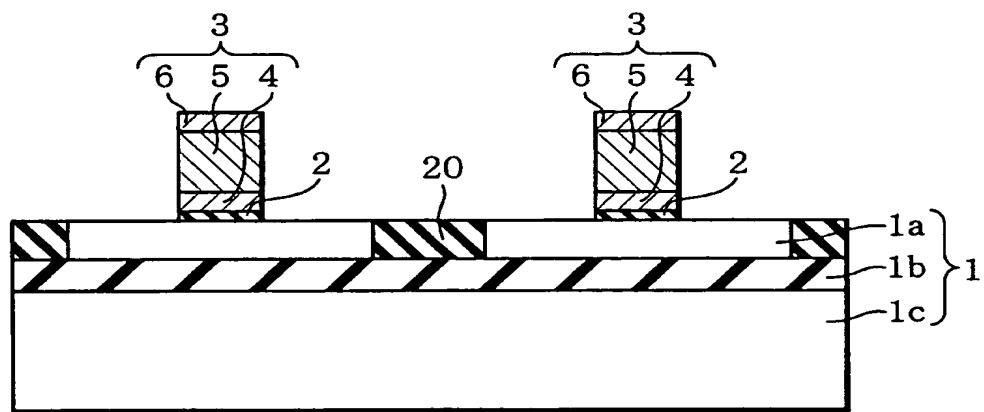
【図2】



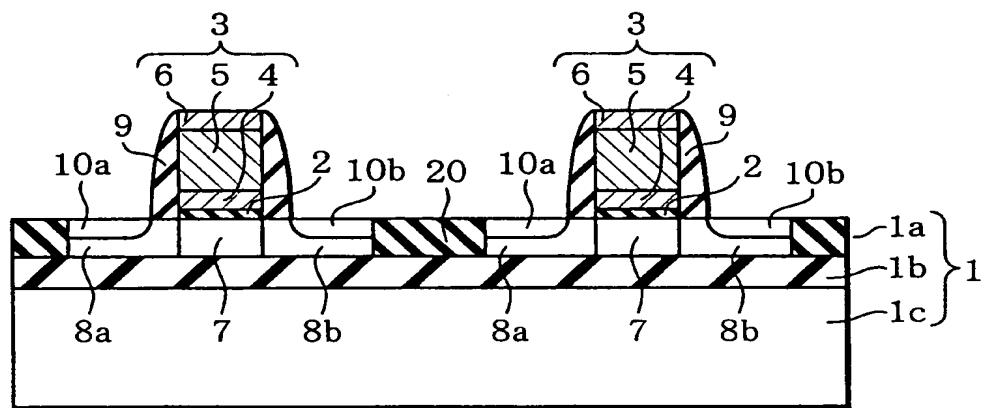
【図3】



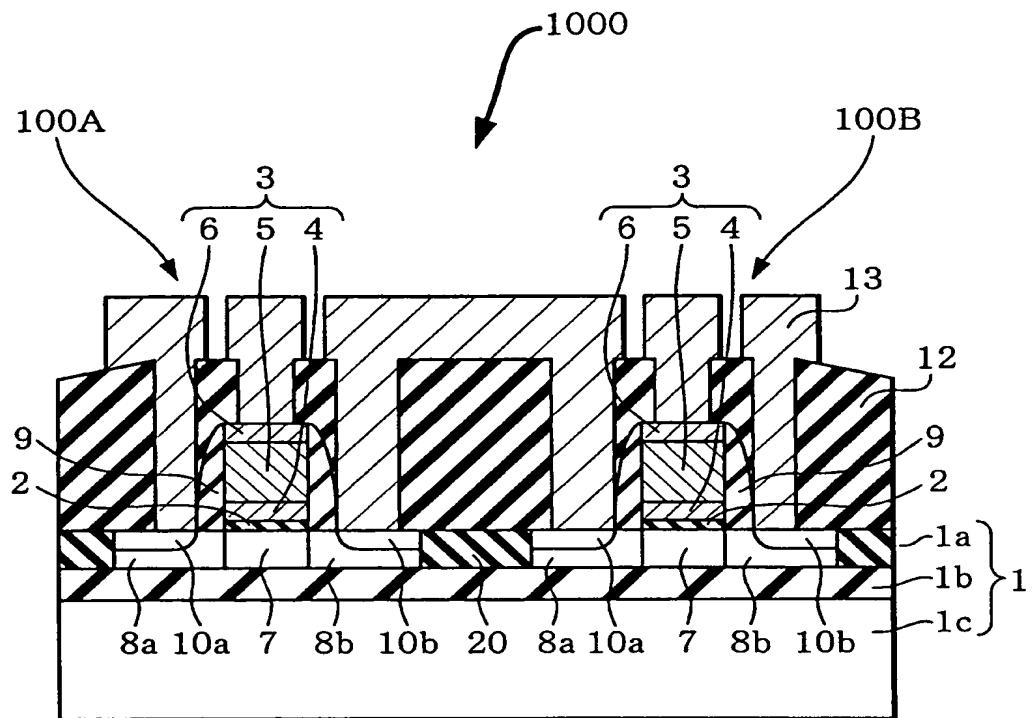
【図4】



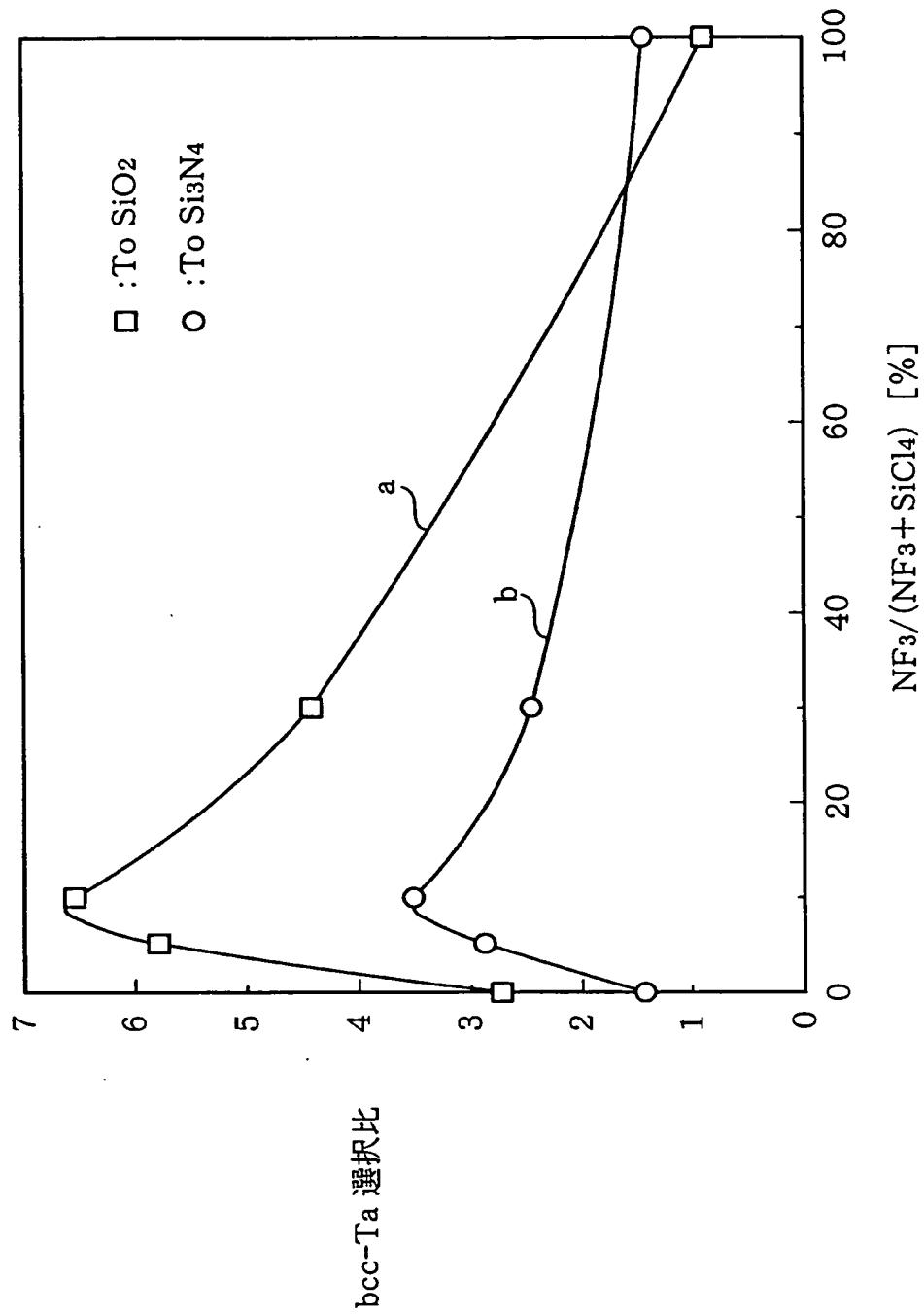
【図5】



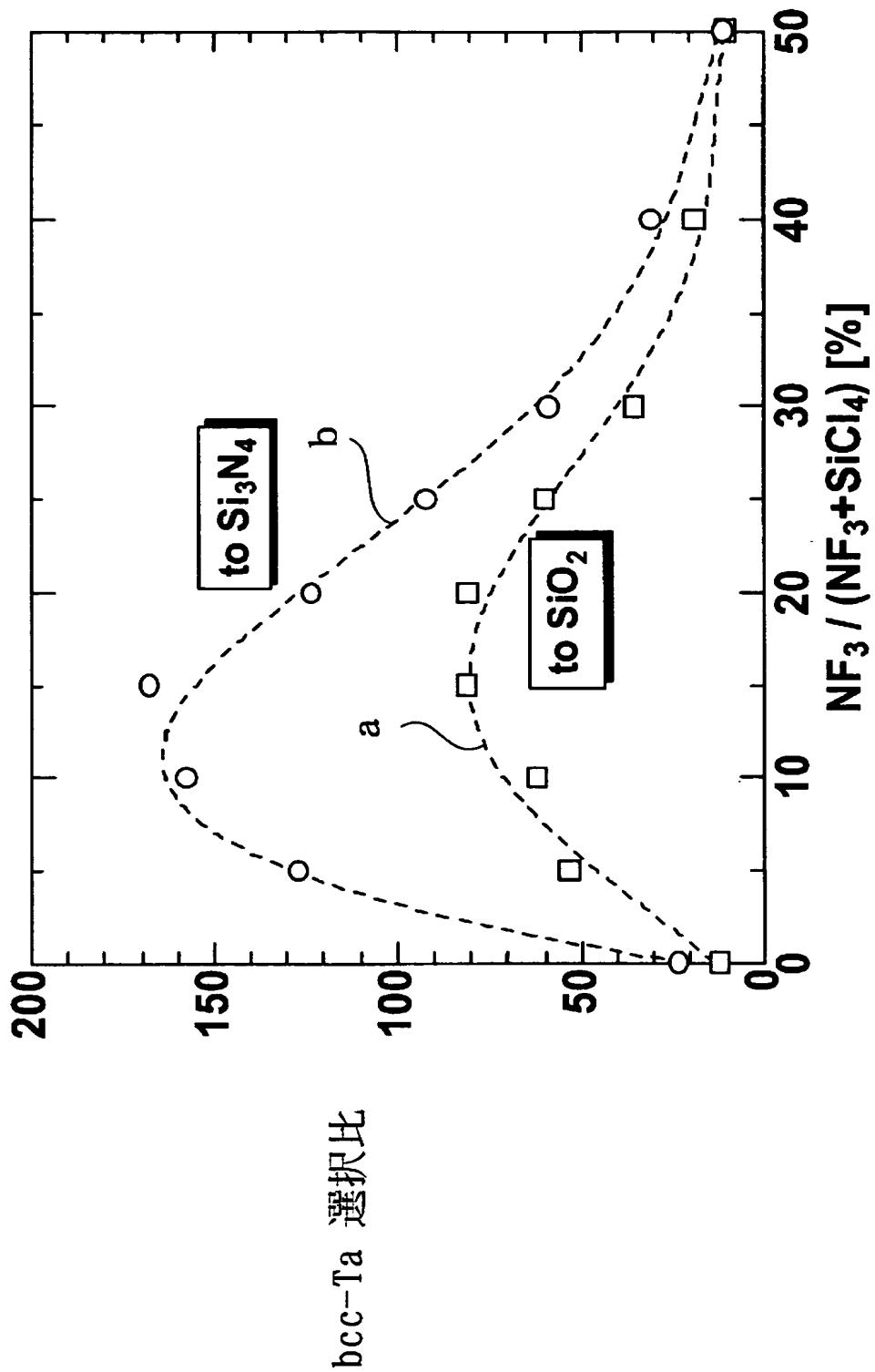
【図6】



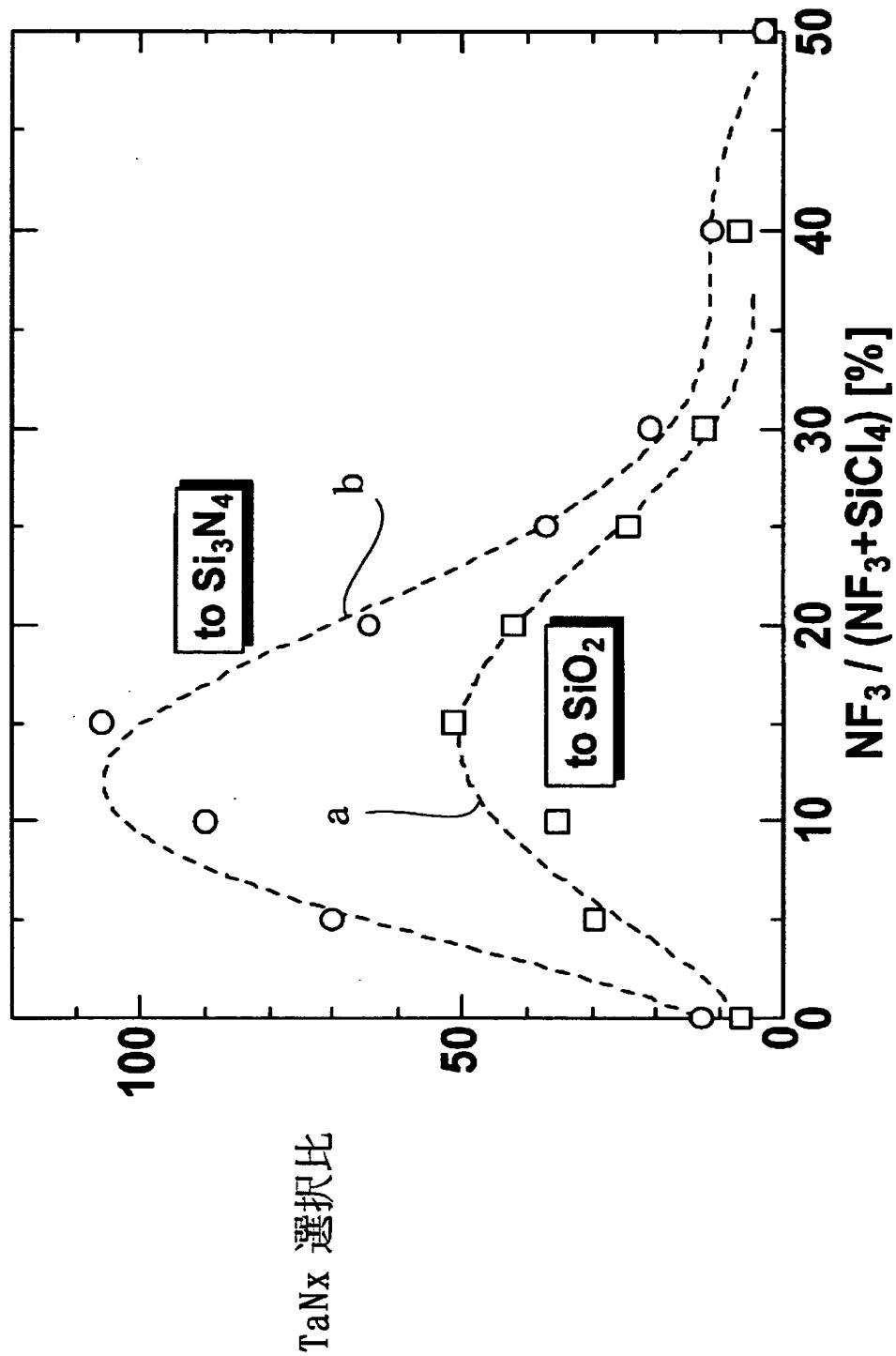
【図7】



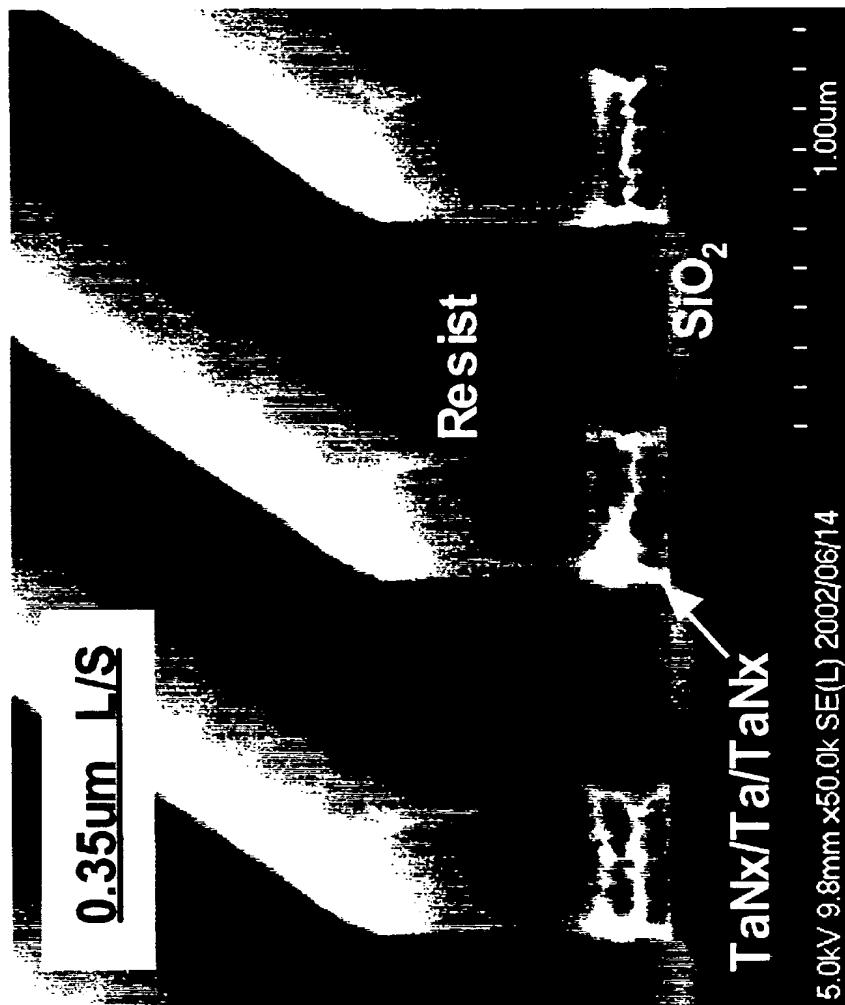
【図8】



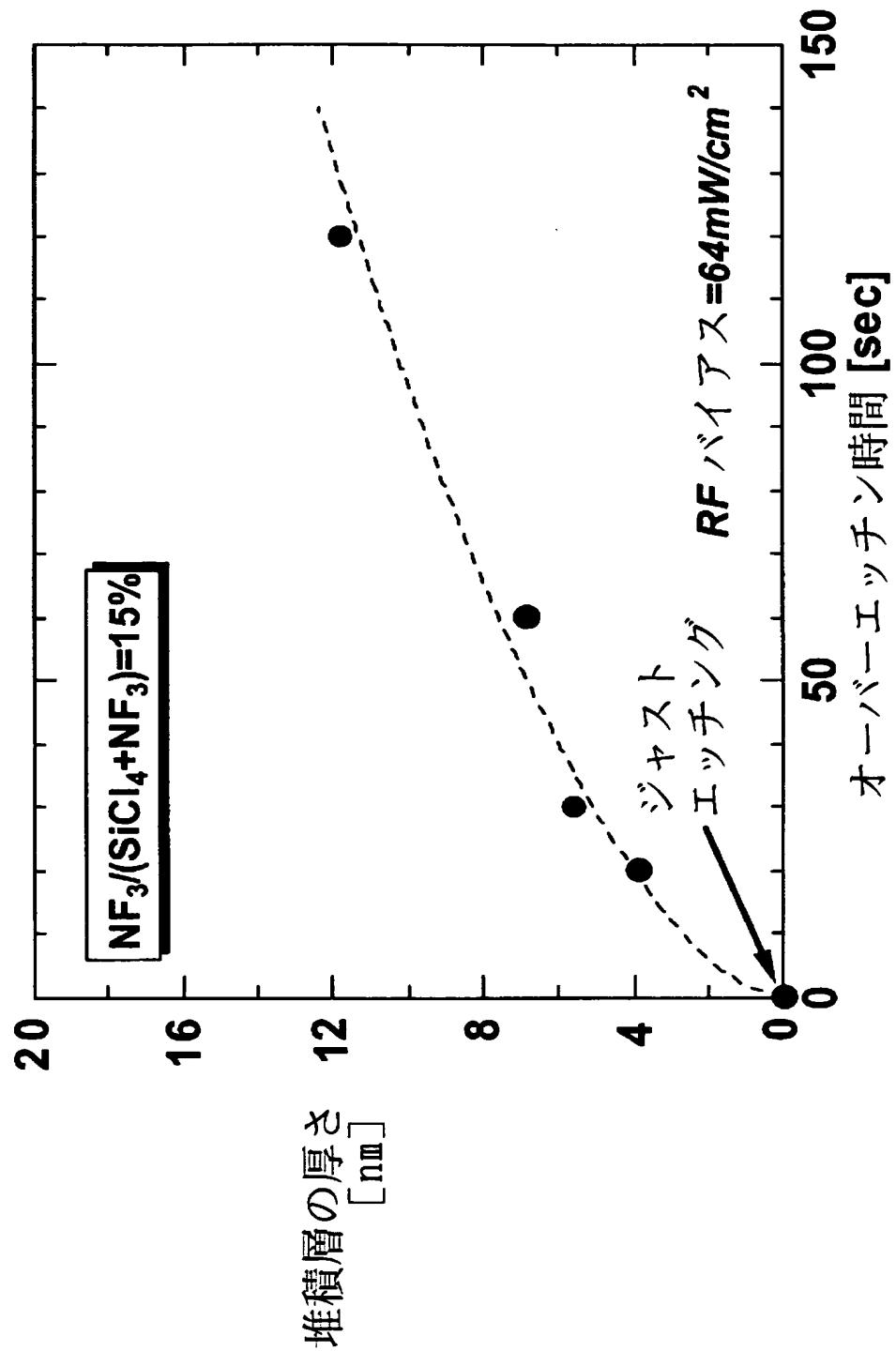
【図9】



【図10】

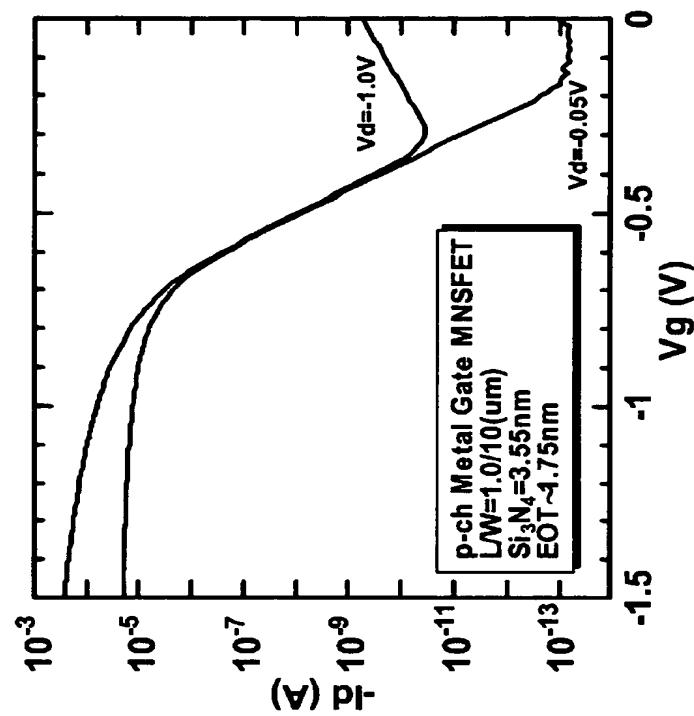


【図11】

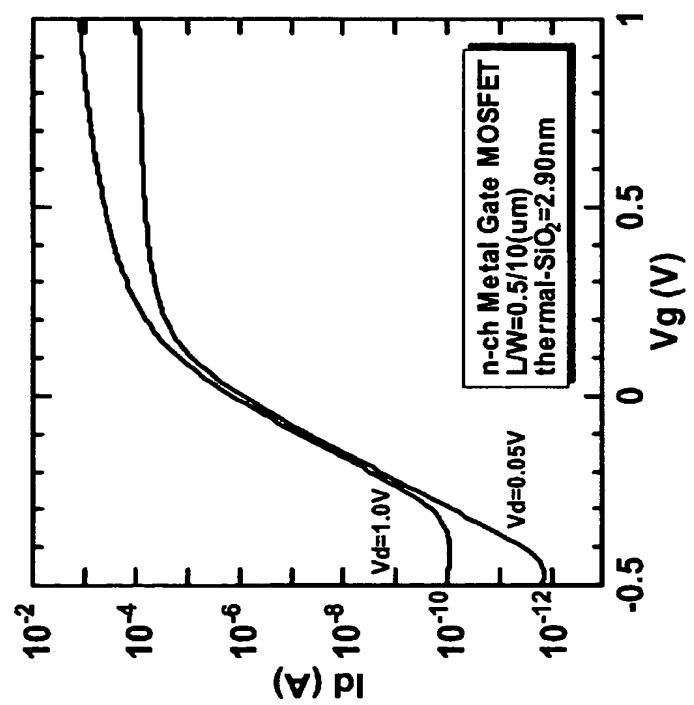


【図12】

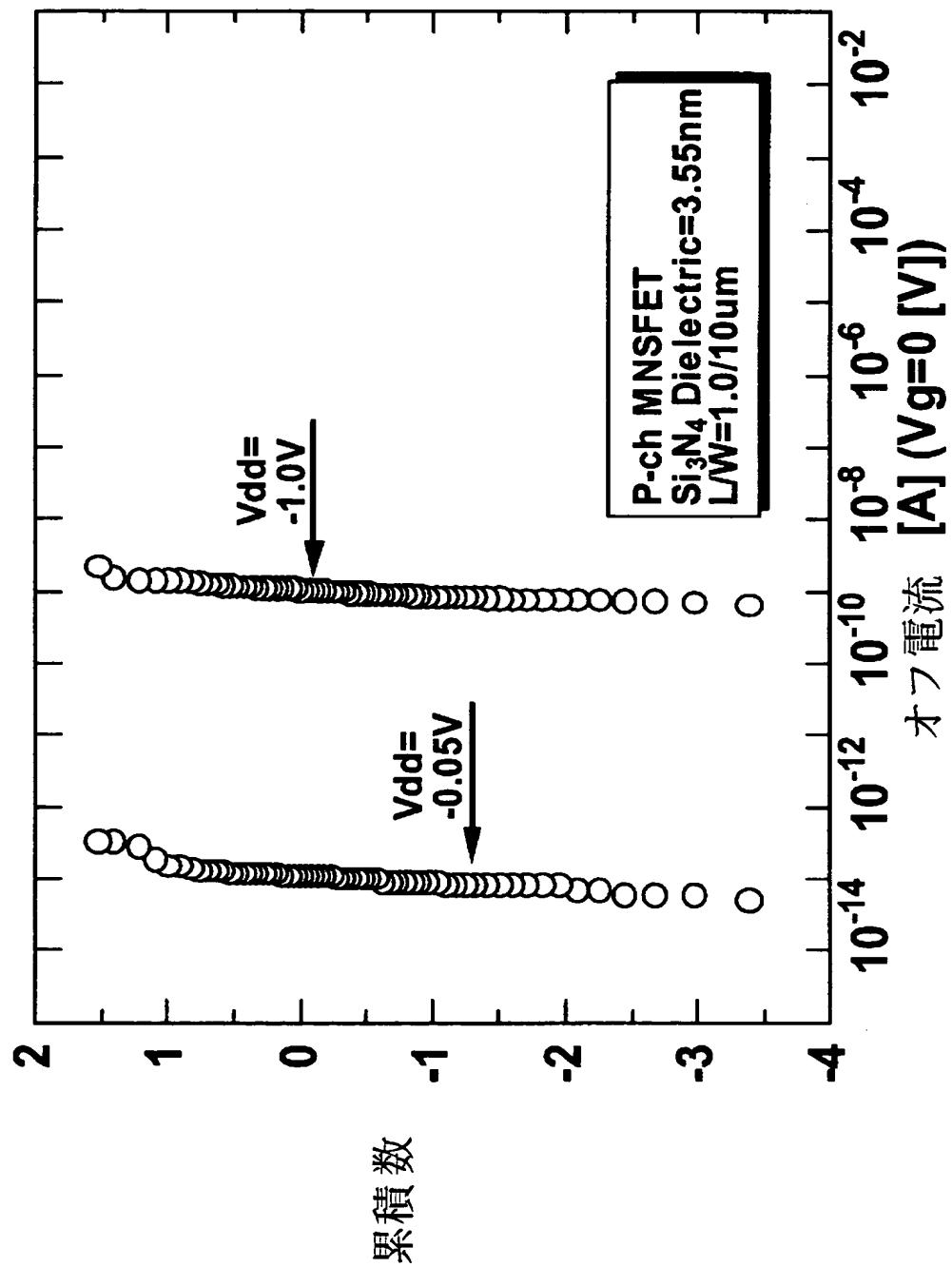
(B)



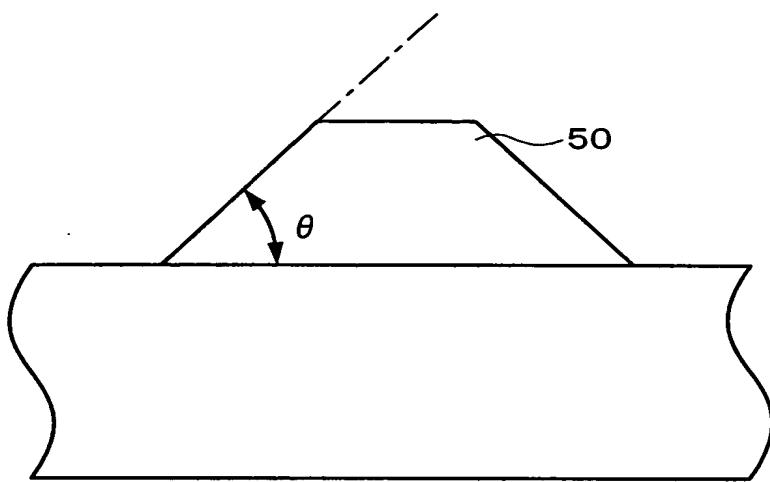
(A)



【図13】



【図14】



【書類名】 要約書

【要約】

【課題】 半導体装置の製造方法に関し、垂直あるいはほぼ垂直に導電層を異方性エッティングすること。

【解決手段】 半導体装置の製造方法は、半導体層の上方に絶縁層を形成する工程と、前記絶縁層の上方にタンタルおよび窒化タンタルの少なくともいずれかを含む導電層を形成する工程と、 SiCl_4 と NF_3 とを含むガスを用いて前記導電層をエッティングする工程と、を含む。

【選択図】 図4

認定・付加情報

特許出願の番号	特願2003-130757
受付番号	50300764130
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 5月13日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿2丁目4番1号
【氏名又は名称】	セイコーエプソン株式会社
【代理人】	申請人
【識別番号】	100090479
【住所又は居所】	東京都杉並区荻窪5丁目26番13号 荻窪TM ビル2階 井上・布施合同特許事務所
【氏名又は名称】	井上 一

【選任した代理人】

【識別番号】	100090387
【住所又は居所】	東京都杉並区荻窪5丁目26番13号 荻窪TM ビル2階 井上・布施合同特許事務所
【氏名又は名称】	布施 行夫

【選任した代理人】

【識別番号】	100090398
【住所又は居所】	東京都杉並区荻窪5丁目26番13号 荻窪TM ビル2階 井上・布施合同特許事務所
【氏名又は名称】	大渕 美千栄

次頁無

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーホームズ株式会社